



日本特許庁  
JAPAN PATENT OFFICE

PHEA-01013-US

115  
6/4/02  
JRC

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2000年12月27日

出願番号

Application Number:

特願2000-399425

出願人

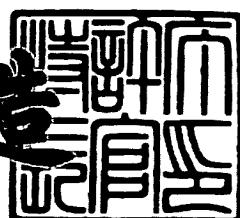
Applicant(s):

古河電気工業株式会社

2001年 7月 9日

特許庁長官  
Commissioner,  
Japan Patent Office

及川耕造



出証番号 出証特2001-3063920

【書類名】 特許願

【整理番号】 A00460

【提出日】 平成12年12月27日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 23/522

H01L 33/00

H01S 3/19

【発明者】

【住所又は居所】 東京都千代田区丸の内2丁目6番1号 古河電気工業株式会社内

【氏名】 藤▲崎▼慶一

【発明者】

【住所又は居所】 東京都千代田区丸の内2丁目6番1号 古河電気工業株式会社内

【氏名】 大久保 典雄

【特許出願人】

【識別番号】 000005290

【氏名又は名称】 古河電気工業株式会社

【代理人】

【識別番号】 100089118

【弁理士】

【氏名又は名称】 酒井 宏明

【手数料の表示】

【予納台帳番号】 036711

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

特2000-399425

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項1】 多層膜構造のリッジ部を有する半導体装置において、前記リッジ部の上面半導体層に接続され、前記リッジ部の長手方向側面を少なくとも覆う電極層を備え、

前記電極層の膜厚は、150nm以上であることを特徴とする半導体装置。

【請求項2】 多層膜構造のリッジ部を有する半導体装置の製造方法において、

前記リッジ部を形成する多層膜を順次形成する多層膜形成工程と、

前記リッジ部の上面半導体層に接続され、前記リッジ部の長手方向側面を少なくとも150nm以上の膜厚で前記リッジ部を覆う電極層を形成する電極層形成工程と、

を含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体装置に関し、特に半導体基板上に隆起したリッジ部の側面を覆う被覆部における亀裂の発生を防止する半導体装置に関する。

【0002】

【従来の技術】

従来から、半導体基板上に所定の多層膜を生成し、エッチングなどを用いて加工し、所望の電気回路や電気素子などの半導体装置を作成する技術が用いられている。

【0003】

図5は、従来の半導体装置である半導体レーザ素子の断面図である。半導体レーザ素子は、ストライプ状の隆起部であるリッジを有し、光および電流の閉じ込めを行うので、簡便な構造で良好なレーザ特性を示し、光通信、光記録、光計測の分野で、発光装置及び光ファイバアンプ励起装置などに多用される。

## 【0004】

半導体レーザ素子は、半導体基板2の上面に、下側クラッド層3、活性層4、上側クラッド層5、コンタクト層9、絶縁膜6が生成されている。また、上側クラッド層5、コンタクト層9、絶縁膜6は、エッティングによってリッジ12をなしている。さらに、半導体基板2の下面に負電極1が生成され、半導体レーザ素子の上面には正電極7が生成されている。

## 【0005】

ここで、図6および図7を参照して、従来の半導体レーザ素子の製造方法について説明する。図6および図7は、従来の半導体レーザ素子の各製造工程を示す断面図である。図6 (a)において、まず、半導体基板2の上面に、下側クラッド層3、活性層4、上側クラッド層5、コンタクト層9を順に生成する。つぎに、コンタクト層9の上に、レジスト10を塗布、および成膜する。

## 【0006】

その後、エッティング処理によってコンタクト層9および上側クラッド層5が蝕刻され、レジスト10と同じ幅のリッジ12を形成する(図6 (b))。さらに、レジスト10を除去し、上側クラッド層5の上面、リッジ12の上面およびリッジ12の側面に絶縁膜6を形成する(図6 (c))。

## 【0007】

その後、上面に、少なくともリッジ12に比して高くレジスト11を塗布する(図7 (d))。さらに、リッジ12およびその周辺部分を平坦化するために、レジスト11の上面に図示しないレジストを塗布して成膜する。その後、フォトリソグラフィ、酸素プラズマアッシング処理を行い、リッジ12の上面およびその周囲のレジスト11を、リッジ12の絶縁膜6の高さまで除去し、リッジ12上面の絶縁膜6を露出させる(図7 (e))。

## 【0008】

その後、プラズマエッティング処理によってリッジ12の上面の絶縁膜6を除去し、コンタクト層9を露出させる(図7 (f))。さらに、レジスト11を除去し、リッジ12の側面を含む上部全面に正電極7を成膜し、半導体基板2の下面に負電極1を成膜し、これによって上述したリッジ型の半導体レーザ素子を得る

ことができる。

【0009】

【発明が解決しようとする課題】

しかしながら、上述した従来の半導体レーザ素子は、フォトリソグラフィ技術を用いて正電極7および負電極1を形成する場合、一定の確率で、コンタクト層9の一部に侵食が発生し、この結果、得られた半導体レーザ素子の電流経路が狭くなつて電気抵抗が増加し、光出力が低下するという問題点があった。さらに、侵食がさらに進行した場合、コンタクト層9および上側クラッド層5の大部分が侵食されてしまい、一層光出力が低下するという問題点があった。

【0010】

ここで、本発明者は、上述した問題点の発生原因である侵食が、図8に示したように、コンタクト層9の上端部付近に侵食22が存在することを確認するとともに、正電極7の侵食22近傍に、亀裂21が存在することを見出した。

【0011】

さらに、一般に、正電極7および負電極1の形成時のフォトリソグラフィには、剥離用としてイオン溶液を用いるが、本発明者は、このイオン溶液が亀裂21を介してコンタクト層9に浸透し、電気化学反応によってコンタクト層9を侵食することを見出した。

【0012】

また、リッジ12は、リッジ12の幅がコンタクト層9の上面から上側クラッド層5に向かって逆メサ形状となる部分が形成されており、リッジ12の側面が逆メサ形状となっていることから、この部分に応力集中が生じてリッジ12の側面の正電極7に歪みが発生し、亀裂21が発生するものと考えられる。

【0013】

この発明は上記に鑑みてなされたものであつて、正電極における亀裂の発生を防止し、コンタクト層の侵食を防止し、高精度で効率良く生産することができる半導体装置およびその製造方法を提供することを目的とする。

【0014】

【課題を解決するための手段】

上記目的を達成するため、請求項1にかかる半導体装置は、多層膜構造のリッジ部を有する半導体装置において、前記リッジ部の上面半導体層に接続され、前記リッジ部の長手方向側面を少なくとも覆う電極層を備え、前記電極層の膜厚は、150nm以上であることを特徴とする。

## 【0015】

この請求項1の発明によれば、電極層が、150nm以上の膜厚をもって多層膜構造のリッジ部の長手方向側面を少なくとも覆う。

## 【0016】

また、請求項2にかかる半導体装置の製造方法は、多層膜構造のリッジ部を有する半導体装置の製造方法において、前記リッジ部を形成する多層膜を順次形成する多層膜形成工程と、前記リッジ部の上面半導体層に接続され、前記リッジ部の長手方向側面を少なくとも150nm以上の膜厚で前記リッジ部を覆う電極層を形成する電極層形成工程とを含むことを特徴とする。

## 【0017】

この請求項2の発明によれば、多層膜形成工程が多層膜構造のリッジ部を形成し、電極層形成工程がリッジ部の長手方向側面を少なくとも覆う電極層を150nm以上の膜厚で形成する。

## 【0018】

## 【発明の実施の形態】

以下に添付図面を参照して、この発明に係る半導体装置およびその製造方法の好適な実施の形態を詳細に説明する。

## 【0019】

図1は、この発明の実施の形態である半導体レーザ素子の断面図である。半導体レーザ素子をなす多層膜基板31は、半導体基板2の上面に、下側クラッド層3、活性層4、上側クラッド層5、コンタクト層9、絶縁膜6が生成されている。また、上側クラッド層5、コンタクト層9、絶縁膜6は、エッチングによってリッジ12をなしている。さらに、半導体基板2の下面に負電極1が生成され、多層膜基板31の上面には正電極7が生成されている。

## 【0020】

ここで、図2および図3を参照して、この半導体レーザ素子の製造方法について説明する。図2および図3は、この半導体レーザ素子の製造工程を示す断面図である。図2 (a)において、まず、n型GaAsからなる半導体基板2の上面に、MOCVD法、MBE法などの薄膜エピタキシャル成長方法を用いて、n型AlGaAsからなる下側クラッド層3、活性層4、p型AlGaAsからなる上側クラッド層5、コンタクト層9を順次形成する。つぎに、コンタクト層9の上に、レジスト10を塗布して成膜する。

#### 【0021】

その後、クエン酸系溶液を用いた湿式エッチング処理によりコンタクト層9および上側クラッド層5が蝕刻され、レジスト10と同じ幅のリッジ12が形成される(図2 (b))。

#### 【0022】

さらに、多層膜基板31の上面のレジスト10を、剥離液を用いて溶解して除去する。さらに、残存したレジスト10を酸素プラズマアッティング処理によって除去する。つぎに、多層膜基板31の上面に、プラズマCVD法等を用いて絶縁膜6を成膜する(図2 (c))。絶縁膜6は、上側クラッド層5の上面、リッジ12の上面およびリッジ12の側面に形成される。なお、絶縁膜6には、窒化珪素膜などを用いることができる。

#### 【0023】

その後、多層膜基板31の上面に、少なくともリッジ12の段差に比して高くなったレジスト11を塗布する(図3 (d))。なお、レジスト11の塗布には、スピンドルコートなどを用いる。

#### 【0024】

さらに、フォトリソグラフィ、酸素プラズマエッチング処理によってレジスト11を除去する(図3 (e))。なお、エッチング処理を行う時間を制御し、リッジ12上面の絶縁膜6が露出した状態でエッチングを終了する。

#### 【0025】

その後、たとえばフロン系ガスのプラズマエッチング処理を施して、リッジ12上面の絶縁膜6を除去する(図3 (f))。なお、エッチング処理を行う時間

を制御し、コンタクト層9が露出した状態でエッチングを終了する。ここで、レジスト11の膜厚は、リッジ12の高さ1.8~2 μmに対して、1.6~1.8 μmである。このため、レジスト11は、リッジ12上面の絶縁膜6をエッチングして除去する場合に、リッジ12以外の絶縁膜6をエッチングから保護する保護膜として機能する。

#### 【0026】

その後、剥離液を用いてレジスト11を溶解、除去し、さらに、酸素プラズマアッシング処理を施して、残存したレジスト11を除去する。なお、剥離液としては、芳香族炭化水素：フェノール：アルキルベンゼンスルホン酸=6:2:2などを用いることができる。

#### 【0027】

さらに、リッジ12のコンタクト層9の露出面上、および絶縁膜6の上に、フォトリソグラフィ技術と蒸着装置またはスパッタ装置を用いて厚さ150 nm以上の正電極7を形成する。蒸着装置またはスパッタ装置は、電極材料に対して傾斜し、かつ自公転可能なホルダを備え、リッジ12の上面と側面の電極厚さをほぼ同じにすることができる。その後、図示しないAuメッキを形成し、半導体基板2の下面を研磨し、負電極1を形成する。

#### 【0028】

その後、上述した工程によって形成された多層膜基板31の劈開を行い、モジュールとして組み立て、実装を行って半導体レーザ装置を完成させる。

#### 【0029】

図4は、上述の工程によって作成された半導体レーザ素子のリッジ部分の断面図である。コンタクト層9は、p型GaAsからなり、厚さは400 nmである。また、上側クラッド層5は、p型Al<sub>0.3</sub>Ga<sub>0.7</sub>Asからなる。さらに、正電極7の厚さは、リッジ12の上面と側面とでほぼ同じとなった。なお、ここでは、正電極7をリッジ12の上面に200 nm成膜しており、リッジ12の側面においても200 nmの厚さを有した。

#### 【0030】

この実施の形態では、半導体レーザ素子は、半導体基板2の上面に、下側クラ

ッド層3、活性層4、上側クラッド層5、コンタクト層9、絶縁膜6が生成されている。また、上側クラッド層5、コンタクト層9、絶縁膜6は、エッチングによってリッジ12をなしている。さらに、半導体基板2の下面に負電極1が生成され、半導体レーザ素子の上面には正電極7が生成されている。

【0031】

この実施の形態によれば、正電極7は、リッジ12の側面において200nmの厚みを有するので、リッジ12側面に発生する応力に対抗し、亀裂の発生を防ぎ、コンタクト層9における侵食の発生を防止する。

【0032】

なお、本実施の形態では、ウェットエッチングによってリッジ12を作成したが、ドライエッチングによってリッジ12を作成する場合においても、本発明を用いることができる。

【0033】

また、本実施の形態では、単純なリッジストライプ構造を用いて半導体レーザ素子を構成しているが、本発明の利用はこれに限られるものではなく、ダブルチャネル構造を有する半導体レーザ素子においても本発明を利用することができる。

【0034】

さらに、本実施の形態では、リッジ型半導体レーザ素子において本発明を利用しているが、本発明の利用はこれに限られるものではなく、たとえば、リッジ導波路型半導体受光素子に適用することができる。

【0035】

なお、本実施の形態では、半導体レーザ素子において本発明を利用しているが、本発明の利用はこれに限られるものではなく、多層膜をエッチングによって加工する工程において広く用いることができる。

【0036】

【発明の効果】

以上説明したように、請求項1の発明によれば、電極層が、150nm以上の膜厚をもって多層膜構造のリッジ部の長手方向側面を少なくとも覆うので、リッ

ジ側面において生ずる応力に対抗し、亀裂や侵食の発生を防止し、高精度な半導体装置を歩留まり良く得ることできるという効果を奏する。

【0037】

また、請求項2の発明によれば、多層膜形成工程が多層膜構造のリッジ部を形成し、電極層形成工程がリッジ部の長手方向側面を少なくとも覆う電極層を150nm以上の膜厚で形成するので、半導体装置のリッジ側面において生ずる応力に対抗し、亀裂や侵食の発生を防止し、高い歩留まりで生産することができるという効果を奏する。

【図面の簡単な説明】

【図1】

この発明の実施の形態である半導体レーザ素子の断面図である。

【図2】

図1に示した半導体レーザ素子の製造工程を示す断面図である（その1）。

【図3】

図1に示した半導体レーザ素子の製造工程を示す断面図である（その2）。

【図4】

半導体レーザ素子のリッジ部分の断面図である。

【図5】

従来の半導体装置である半導体レーザ素子の断面図である。

【図6】

図5に示した半導体レーザ素子の製造工程を示す断面図である（その1）。

【図7】

図5に示した半導体レーザ素子の製造工程を示す断面図である（その2）。

【図8】

従来の半導体レーザ素子のコンタクト層に侵食が発生した場合を示す断面図である。

【符号の説明】

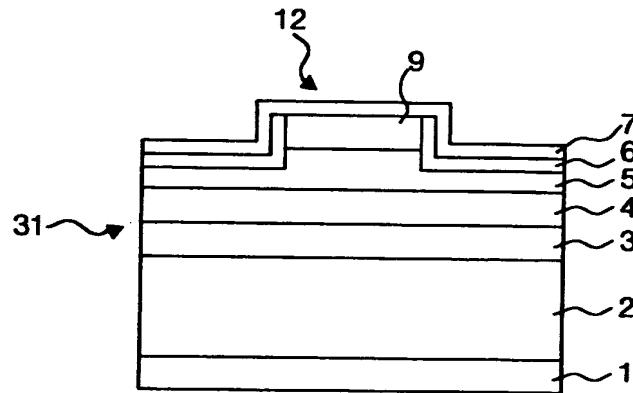
1 負電極

2 半導体基板

- 3 下側クラッド層
- 4 活性層
- 5 上側クラッド層
- 6 絶縁膜
- 7 正電極
- 9 コンタクト層
- 10, 11 レジスト
- 12 リッジ
- 21 亀裂
- 22 侵食
- 31 多層膜基板

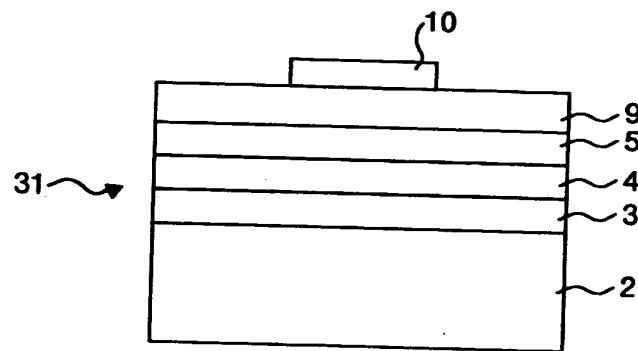
【書類名】 図面

【図1】

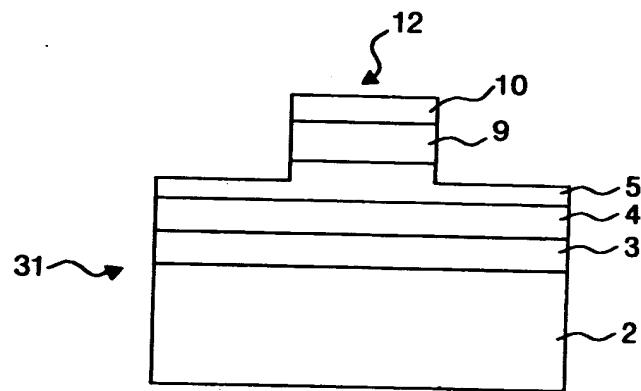


【図2】

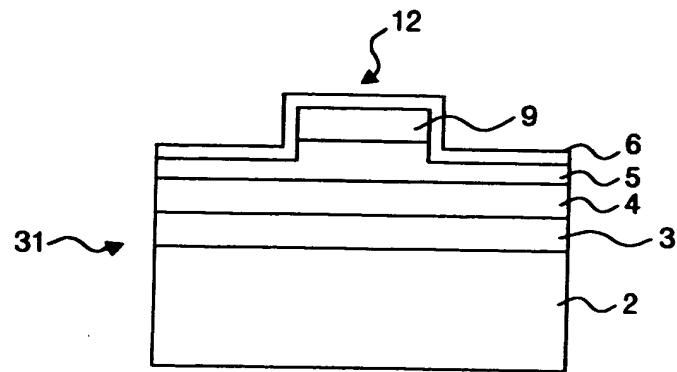
(a)



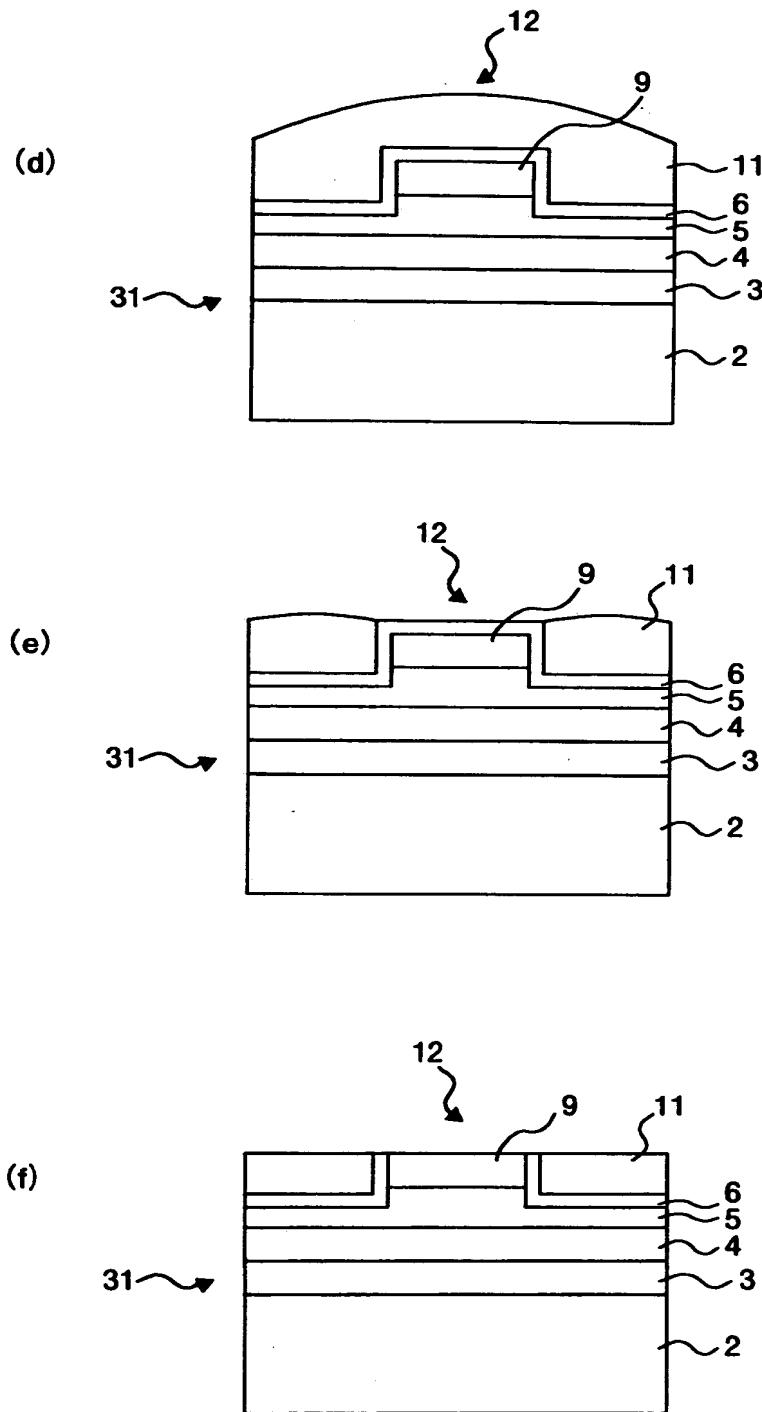
(b)



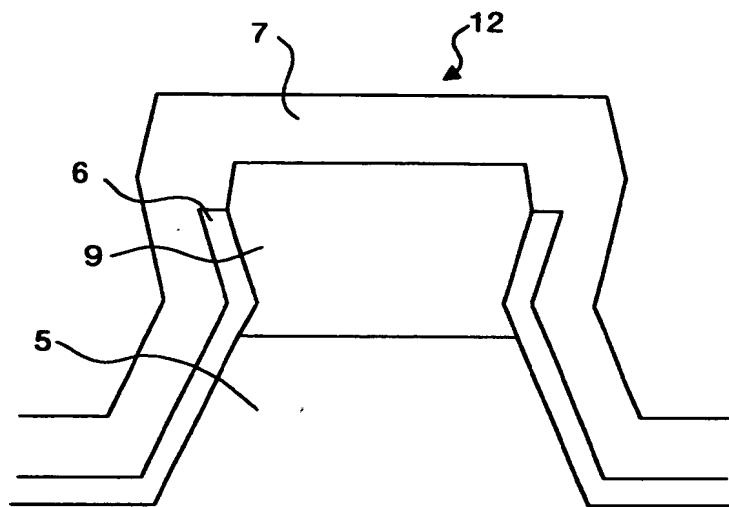
(c)



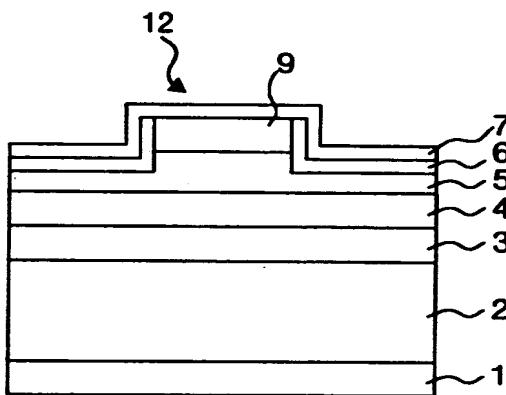
【図3】



【図4】

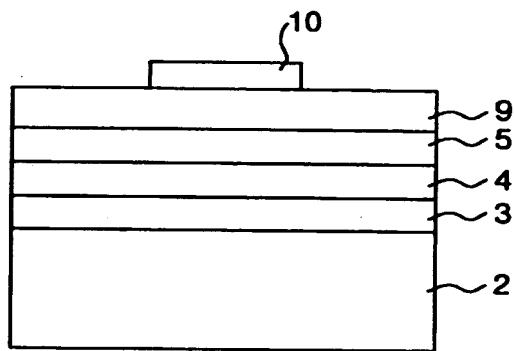


【図5】

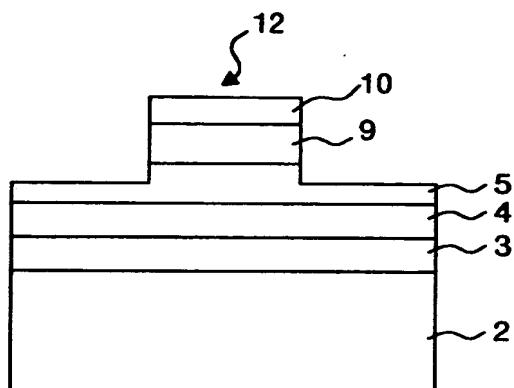


【図6】

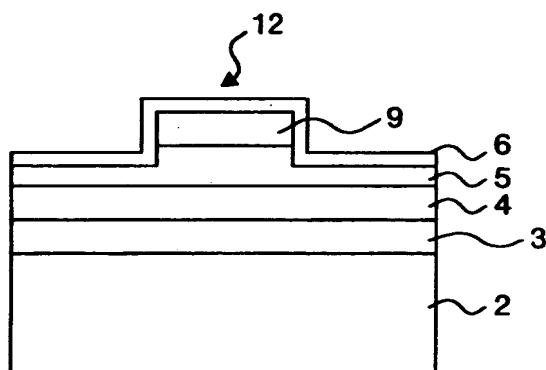
(a)



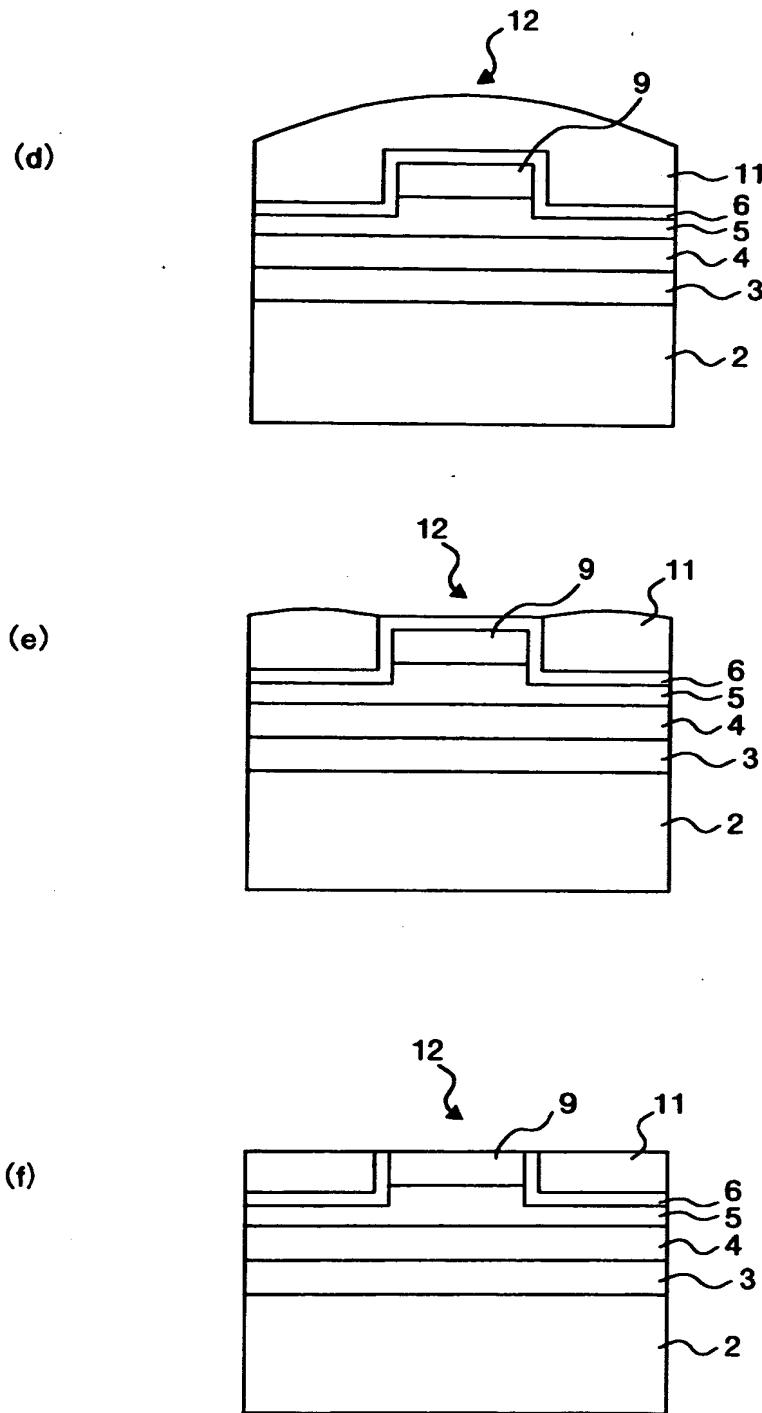
(b)



(c)

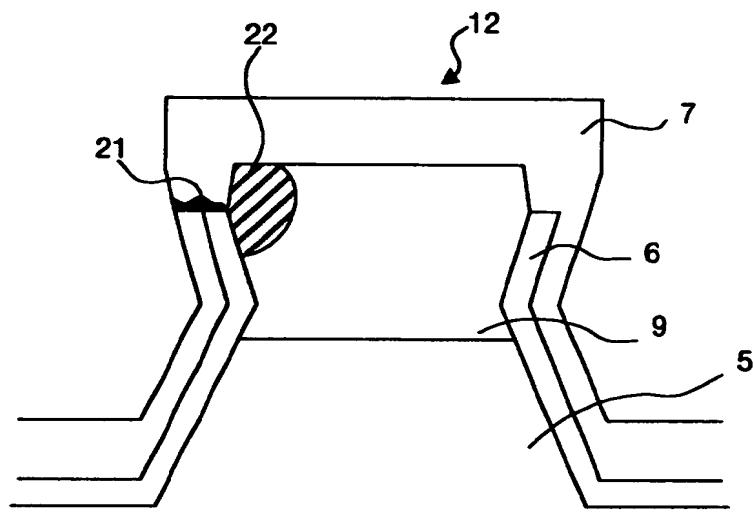


【図7】



特2000-399425

【図8】



【書類名】 要約書

【要約】

【課題】 半導体装置の加工精度および生産効率を高めること。

【解決手段】 半導体レーザ素子は、半導体基板2の上面に、下側クラッド層3、活性層4、上側クラッド層5、コンタクト層9、絶縁膜6が生成されている。また、上側クラッド層5、コンタクト層9、絶縁膜6は、エッティングによってリッジ12をなしている。さらに、半導体基板2の下面に負電極1が生成され、半導体レーザ素子の上面には正電極7が生成されている。また、正電極7は、リッジ12の側面において少なくとも150nmの厚みを有する。

【選択図】 図1

出願人履歴情報

識別番号 [000005290]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目6番1号

氏 名 古河電気工業株式会社